

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.03.13
【발명의 명칭】	동기 미러 지연 회로 및 그것을 포함한 반도체 집적 회로 장치
【발명의 영문명칭】	SYNCHRONOUS MIRROR DELAY CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE COMPRISING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김남석
【성명의 영문표기】	KIM,NAM SEOG
【주민등록번호】	740924-1025416
【우편번호】	136-141
【주소】	서울특별시 성북구 장위1동 212번지 101호 29/3
【국적】	KR
【발명자】	
【성명의 국문표기】	조육래
【성명의 영문표기】	CHO,UK RAE
【주민등록번호】	640306-1804617
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1187 신현대아파트 2동 402호
【국적】	KR

【발명자】

【성명의 국문표기】

윤용진

【성명의 영문표기】

Y00N,YONG JIN

【주민등록번호】

640420-1046724

【우편번호】

157-010

【주소】

서울특별시 강서구 화곡동 102-273번지

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

16 면 16,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

13 항 525,000 원

【합계】

570,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

여기에는 외부 클록 신호에 동기된 내부 클록 신호를 발생하는 클록 발생 회로가 개시되어 있다. 클록 버퍼 회로는 외부 클록 신호에 응답하여 기준 클록 신호를 발생하고, 지연 모니터는 기준 클록 신호를 지연시킨다. 정방향 지연 어레이는 지연 모니터 회로의 출력 클록 신호를 정방향으로 순차적으로 지연시켜 지연 클록 신호들을 발생한다. 미러 제어 회로는 지연 클록 신호들과 기준 클록 신호를 입력받고, 기준 클록 신호와 동기되는 지연 클록 신호들 중 하나를 검출한다. 역방향 지연 어레이는 미러 제어 회로에 의해서 검출된 지연 클록 신호를 역방향으로 지연시켜 동기 클록 신호를 출력한다. 지연 회로는 상기 정방향 지연 어레이를 경유하여 출력되는 비동기 클록 신호를 지연시킨다. 클록 구동 회로는 기준 클록 신호가 지연 클록 신호들 중 하나와 동기되지 않을 때, 지연된 비동기 클록 신호를 내부 클록 신호로서 출력한다.

【대표도】

도 2

【명세서】

【발명의 명칭】

동기 미러 지연 회로 및 그것을 포함한 반도체 집적 회로 장치{SYNCHRONOUS MIRROR DELAY CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE COMPRISING THE SAME}

【도면의 간단한 설명】

도 1은 본 발명에 따른 동기 미러 지연 회로를 포함하는 반도체 집적 회로 장치를 개략적으로 보여주는 블록도;

도 2는 본 발명의 바람직한 실시예에 따른 도 1에 도시된 동기 미러 지연 회로를 보여주는 블록도;

도 3은 본 발명의 바람직한 실시예에 따른 도 2에 도시된 구동 회로 (120)를 보여주는 회로도;

도 4A는 본 발명의 바람직한 실시예에 따른 도 2에 도시된 정방향 지연 어레이 (150)의 지연 유니트들 (FD1, FD2) 중 하나를 보여주는 회로도;

도 4B는 본 발명의 바람직한 실시예에 따른 도 2에 도시된 정방향 지연 어레이 (150)의 지연 유니트들 (FD3-FDn) 중 하나를 보여주는 회로도;

도 4C는 본 발명의 바람직한 실시예에 따른 도 2에 도시된 역방향 지연 어레이 (180)의 지연 유니트들 (BD1-BDn-1) 중 하나를 보여주는 회로도;

도 4D는 본 발명의 바람직한 실시예에 따른 도 2에 도시된 지연 회로 (160)의 지연 유니트들 중 하나 (ADi)를 보여주는 회로도;



도 4E는 본 발명의 바람직한 실시예에 따른 도 2의 미러 제어 회로 (170)의 위상 검출기들 (PD1-PDn) 중 하나를 보여주는 회로도;

도 5는 본 발명의 바람직한 실시예에 따른 도 2에 도시된 구동 회로 (190)를 보여주는 회로도;

도 6은 본 발명에 따른 동기 미러 지연 회로 (100)의 동작을 설명하기 위한 타이밍도;

도 7은 외부 클록 신호가 동기 범위를 벗어난 경우 내부 클록 신호의 생성 동작을 설명하기 위한 도면; 그리고

도 8은 정방향 지연 어레이의 마지막 지연 유니트의 지연 클록 신호가 기준 클록 신호와 동기될 때 지연 회로의 비활성화 동작을 설명하기 위한 도면이다.

* 도면의 주요 부분에 대한 부호 설명 *

100 : 동기 지연 미러 회로 110, 120 : 클록 버퍼 회로

130, 190 : 구동 회로 140, 200 : 재생성 회로

150 : 정방향 지연 어레이 160 : 지연 회로

170 : 미러 제어 회로 180 : 역방향 지연 어레이

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 반도체 장치에 관한 것으로, 좀 더 구체적으로는 동기 미러 지연 회로 및 그 것을 포함한 반도체 집적 회로 장치에 관한 것이다.



- <19> CMOS 집적 회로 기술의 발달로 집적 회로의 동작 속도가 급속도로 향상되어 오고 있다. 집적 회로의 동작 속도의 향상은 집적 회로를 구동하기 위한 클럭 신호의 향상을 요구하며, 이는 클럭 주파수의 증가를 의미한다. 클럭 주파수가 커짐에 따라 발생하는 문제점들 중 가장 큰 문제점으로서 외부 클럭 신호와 내부 클럭 신호 사이에 클럭 스큐(clock skew)가 생기는 것이다. 클럭 스큐는 집적 회로의 오동작을 야기하기 때문에 반드시 해결되어야 한다. 일반적으로 클럭 스큐를 해결하기 위해서 위상 동기 루프 회로(phase locked loop-PLL-circuit)나 지연 동기 루프 회로(delay locked loop-DLL-circuit)가 사용되고 있다. 하지만, 그러한 회로의 단점은 동기 시간이 길다는 것이다. 이러한 단점을 해결하기 위해서 동기 미러 지연 회로(synchronous mirror delay-SMD-circuit)가 제안되었다. 동기 미러 지연 회로는 두 사이클만에 외부 클럭 신호와 동기된 내부 클럭 신호를 생성한다.
- <20> 일반적인 동기 미러 지연 회로들의 예들이 U.S. Patent No. 6,060,920에 "MULTIPLEX SYNCHRONOUS DELAY CIRCUIT"라는 제목으로 그리고 U.S. Patent No. 6,373,913에 "INTERNAL CLOCK SIGNAL GENERATOR INCLUDING CIRCUIT FOR ACCURATELY SYNCHRONIZING INTERNAL CLOCK SIGNAL WITH EXTERNAL CLOCK SIGNAL"라는 제목으로 각각 게재되어 있다.
- <21> 잘 알려진 바와 같이, SMD, PLL, 그리고 DLL과 같은 클럭 발생 회로들이 정해진 동기 범위를 갖기 때문에, 동기 범위를 벗어난 낮은 주파수 영역에서 클럭 발생 회로들이 정상적으로 동작하지 않는다. 예를 들면, 동작 주파수는 점차적으로 높아지는 반면에 테스트 장비의 동작 주파수는 그에 비례하여 높아지지 않는다. 이는 현재의 테스트 장비를 이용하여 고속으로 동작하는 반도체 집적 회로 장치를 테스트하기 어렵다는 것을 의미한다. 따라서, 고속 반도체 집적 회로-장치가 동기 범위를 벗어난 주파수 영역에서도 정상적으로 동작 가능하게 하는 새로운 방식이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명의 목적은 동기 범위를 벗어난 낮은 주파수 영역에서도 내부 클록 신호를 발생시키는 동기 지연 미러 회로 및 그를 포함하는 반도체 집적 회로 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<23> 상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 외부 클록 신호에 동기된 내부 클록 신호를 발생하는 클록 발생 회로가 제공된다. 클록 버퍼 회로는 상기 외부 클록 신호에 응답하여 기준 클록 신호를 발생하고, 지연 모니터는 상기 기준 클록 신호를 지연시킨다. 정방향 지연 어레이는 상기 지연 모니터 회로의 출력 클록 신호를 정방향으로 순차적으로 지연시켜 지연 클록 신호들을 발생한다. 미러 제어 회로는 상기 지연 클록 신호들과 상기 기준 클록 신호를 입력받고, 상기 기준 클록 신호와 동기되는 상기 지연 클록 신호들 중 하나를 검출한다. 역방향 지연 어레이는 상기 미러 제어 회로에 의해서 검출된 지연 클록 신호를 역방향으로 지연시켜 동기 클록 신호를 출력한다. 지연 회로는 상기 정방향 지연 어레이를 경유하여 출력되는 비동기 클록 신호를 지연시킨다. 클록 구동 회로는 상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기되지 않을 때, 상기 지연된 비동기 클록 신호를 상기 내부 클록 신호로서 출력한다.

<24> 바람직한 실시예에 있어서, 상기 정방향 지연 어레이는 직렬 연결된 지연 유니트들을 포함하며, 상기 지연 유니트들은 동일한 지연 시간을 갖는다.

<25> 바람직한 실시예에 있어서, 상기 미러 제어 회로는 상기 지연 유니트들에 각각 대응하는 위상 검출기들을 포함하며, 상기 위상 검출기들 각각은 대응하는 지연 유니트로부터 출력되는 지연 클록 신호와 상기 기준 클록 신호를 공급받는다.

- <26> 바람직한 실시예에 있어서, 마지막 위상 검출기가 상기 기준 클록 신호와 동기된 지연 클록 신호를 검출할 때, 상기 지연 회로는 상기 마지막 위상 검출기의 출력 신호에 의해서 비활성화된다.
- <27> 바람직한 실시예에 있어서, 상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기될 때, 상기 클록 구동 회로는 상기 역방향 지연 어레이로부터 출력되는 동기 클록 신호를 상기 내부 클록 신호로서 출력한다.
- <28> 본 발명의 다른 특징에 따르면, 외부 클록 신호에 동기되어 동작하는 반도체 집적 회로 장치는 상기 외부 클록 신호에 동기된 내부 클록 신호를 발생하는 동기 미리 지연 회로와; 그리고 상기 내부 클록 신호에 동기되어 데이터를 입출력하는 데이터 입출력 회로를 포함한다. 상기 동기 미리 지연 회로는 상기 외부 클록 신호에 응답하여 기준 클록 신호를 발생하는 클록 버퍼 회로와; 상기 기준 클록 신호를 지연시키는 지연 모니터 회로와; 상기 지연 모니터 회로의 출력 클록 신호를 정방향으로 순차적으로 지연시켜 지연 클록 신호들을 발생하는 정방향 지연 어레이와; 상기 지연 클록 신호들과 상기 기준 클록 신호를 입력받고, 상기 기준 클록 신호와 동기되는 상기 지연 클록 신호들 중 하나를 검출하는 미리 제어 회로와; 상기 미리 제어 회로에 의해서 검출된 지연 클록 신호를 역방향으로 지연시켜 동기 클록 신호를 출력하는 역방향 지연 어레이와; 상기 정방향 지연 어레이를 경유하여 출력되는 비동기 클록 신호를 지연시키는 지연 회로와; 그리고 상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기되지 않을 때, 상기 지연된 비동기 클록 신호를 상기 내부 클록 신호로서 출력하는 클록 구동 회로를 포함한다.
- <29> 바람직한 실시예에 있어서, 상기 정방향 지연 어레이는 직렬 연결된 지연 유니트들을 포함하며, 상기 지연 유니트들은 동일한 지연 시간을 갖는다.

- <30> 바람직한 실시예에 있어서, 상기 미리 제어 회로는 상기 지연 유니트들에 각각 대응하는 위상 검출기들을 포함하며, 상기 위상 검출기들 각각은 대응하는 지연 유니트로부터 출력되는 지연 클록 신호와 상기 기준 클록 신호를 공급받는다.
- <31> 바람직한 실시예에 있어서, 마지막 위상 검출기가 상기 기준 클록 신호와 동기된 지연 클록 신호를 검출할 때, 상기 지연 회로는 상기 마지막 위상 검출기의 출력 신호에 의해서 비활성화된다.
- <32> 바람직한 실시예에 있어서, 상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기될 때, 상기 클록 구동 회로는 상기 역방향 지연 어레이로부터 출력되는 동기 클록 신호를 상기 내부 클록 신호로서 출력한다.
- <33> 본 발명의 또 다른 특징에 따르면, 외부 클록 신호에 동기된 내부 클록 신호를 발생하는 방법은 상기 외부 클록 신호에 응답하여 기준 클록 신호를 발생하는 단계와; 상기 기준 클록 신호를 지연시키는 단계와; 상기 지연된 기준 클록 신호를 정방향으로 순차적으로 지연시켜 지연 클록 신호들 및 비동기 클록 신호를 발생하는 단계와; 상기 기준 클록 신호와 동기되는 상기 지연 클록 신호들 중 하나를 검출하는 단계와; 상기 검출된 지연 클록 신호를 역방향으로 지연시켜 동기 클록 신호를 출력하는 단계와; 그리고 상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기되지 않을 때, 상기 비동기 클록 신호를 상기 내부 클록 신호로서 출력하는 단계를 포함한다.
- <34> 바람직한 실시예에 있어서, 상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기될 때, 상기 동기 클록 신호를 상기 내부 클록 신호로서 출력하는 단계를 더 포함한다.

- <35> 바람직한 실시예에 있어서, 상기 지연 클록 신호들 중 마지막으로 지연된 지연 클록 신호가 상기 기준 클록 신호와 동기될 때, 상기 비동기 클록 신호는 생성되지 않는다.
- <36> 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 이하 상세히 설명될 것이다. 본 발명에 사용되는 "동기"라는 용어는 클록 신호들의 위상이 스큐 없이 동기되었음을 의미한다.
- <37> 도 1은 본 발명에 따른 동기 미리 지연 회로를 포함하는 반도체 집적 회로 장치를 개략적으로 보여주는 블록도이다. 본 발명에 따른 반도체 집적 회로 장치 (1000)는, 예를 들면, 더블 데이터 레이트 (double data rate: DDR) 메모리와 같은 동기형 메모리 장치(synchronous memory device)이다. 도 1에 도시된 바와 같이, 반도체 집적 회로 장치 (1000)는 동기 미리 지연 회로 (도면에서 "SMD"로 표기됨) (100), 데이터 입출력 회로로서 송수신 회로 (transceiver circuit) (300), 그리고 내부 회로 (internal circuit) (500)를 포함한다.
- <38> 동기 미리 지연 회로 (100)는 외부 클록 신호 (XCLK) 및 그의 상보 신호 (XCLKB)를 각각 공급받는 패드들 (1001, 1002)에 연결되며, 외부 클록 신호 (XCLK)에 동기된 내부 클록 신호 (ICLK)를 발생한다. 송수신 회로 (300)는 데이터를 입출력하기 위한 패드 (1003)에 연결되며, 동기 미리 지연 회로 (100)에서 생성된 내부 클록 신호 (ICLK)에 동기되어 데이터 입출력 동작을 수행한다. 내부 회로 (500)는 송수신 회로 (300)를 통해 입력된 데이터를 공급받거나, 내부적으로 처리된 데이터를 송수신 회로 (300)를 통해 외부로 출력한다.
- <39> 도 2는 본 발명의 바람직한 실시예에 따른 도 1에 도시된 동기 미리 지연 회로를 보여주는 블록도이다.
- <40> 도 2를 참조하면, 본 발명에 따른 동기 미리 지연 회로 (100)는 2개의 클럭 버퍼 회로들 (110, 120), 2개의 구동 회로들 (130, 190) (도면에서 "DRV"로 표기됨), 2개의 재생성 회로들

(regenerator circuit) (140, 200) (도면에서 "REGEN"으로 표기됨), 정방향 지연 어레이 (forward delay array: FDA) (150), 지연 회로 (160), 미러 제어 회로 (mirror control circuit: MCC) (170), 그리고 역방향 지연 어레이 (backward delay array: BDA) (180)를 포함한다. 이 실시예에 있어서, 클럭 버퍼 회로 (120), 구동 회로 (130) 및 재생성 회로 (140)는 지연 모니터 회로 (delay monitor circuit: DMC)를 구성하며, 구동 회로 (190)와 재생성 회로 (200)는 클럭 구동 회로 (clock driver circuit)를 구성한다.

<41> 클럭 버퍼 회로 (110)는 외부 클럭 신호 (XCLK)를 수신하고, 단펄스 모양(one-shot pulse shape)을 갖는 기준 클럭 신호 (CLKref)를 발생한다. 기준 클럭 신호 (CLKref)는 클럭 버퍼 회로 (110)에 의해서 "Td1"의 지연 시간만큼 지연된다. 클럭 버퍼 회로 (120), 구동 회로 (130) 및 재생성 회로 (150)로 구성되는 지연 모니터 회로는 클럭 버퍼 회로 (110)로부터의 기준 클럭 신호 (CLKref)를 "Td1+Td2+Td3"의 지연 시간만큼 지연시킨다. 정방향 지연 어레이 (150)는 복수 개의 직렬 연결된 지연 유니트들 (serially-connected delay units) (FD1-FDn)을 포함하며, 복수 개의 지연 클럭 신호들 (FDA1-FDAn)을 출력한다. 각 지연 유니트는 동일한 지연 시간을 갖는다. 지연 회로 (160)는 복수 개의 직렬 연결된 지연 유니트들 (AD1-ADm)을 포함하며, 정방향 지연 어레이 (150)의 마지막 지연 유니트 (FDn)로부터 출력되는 지연 클럭 신호 (FDAn)를 지연시킨다. 지연 회로 (160)는 미러 제어 회로 (170)에 의해서 제어된다.

<42> 계속해서 도 2를 참조하면, 미러 제어 회로 (170)는 정방향 지연 어레이 (150)의 지연 유니트들 (FDA1-FDAn)에 각각 대응하는 복수 개의 위상 검출기들 (PD1-PDn)을 포함한다. 각 위상 검출기 (PDi) ($i=1-n$)는 클럭 버퍼 회로 (10)로부터의 기준 클럭 신호 (CLKref)와 정방향 지연 어레이 (150) 내의 대응하는 지연 유니트 (FDi)로부터의 지연 클럭 신호 (FDAi)를 공급받는다. 각 위상 검출기 (PDi)는 입력된 클럭 신호들 (CLKref, FDAi)이 동일한 위상을 갖는 지의

여부를 검출한다. 즉, 미리 제어 회로 (170)는 클럭 버퍼 회로 (110)로부터의 입력 클럭 신호 (CLKin)에 대해 한 사이클 지연된 즉, 한 사이클의 위상차를 갖는 지연 클럭 신호 (FDAi)를 검출한다. 이는 동기된 지점에서 정방향 지연 어레이 (150)의 지연 시간이 " $T_{clk}-(T_{d1}+T_{d2}+T_{d3})$ "이 됨을 의미한다. 도 2에 도시된 바와 같이, 정방향 지연 어레이 (150)의 지연 유니트들은 미리 제어 회로 (160)에 의해서 제어된다.

<43> 역방향 지연 어레이 (180)는 미리 제어 회로 (170)의 위상 검출기들 (PD1-PDn)에 각각 대응하는 복수 개의 직렬 연결된 지연 유니트들 (BD1-BDn)을 포함한다. 각 지연 유니트 (BDi)는 정방향 지연 어레이 (150)의 각 지연 유니트와 동일한 지연 시간을 갖도록 구성된다. 구동 회로 (190)는 역방향 지연 어레이 (180)로부터 출력되는 클럭 신호 (BDAout)와 지연 회로 (160)로부터 출력되는 클럭 신호 (ADout)를 공급받고, 입력된 신호들 (BDAout, ADout) 중 어느 하나를 " T_{d2} "의 지연 시간만큼 지연시킨다. 재생성 회로 (200)는 구동 회로 (190)로부터 출력되는 클럭 신호를 " T_{d3} "의 지연 시간만큼 지연시켜 내부 클럭 신호 (CLKint)로서 출력한다.

<44> 본 발명의 동기 미리 지연 회로 (100)에 따르면, 정방향 지연 어레이 (150)에서 출력되는 지연 클럭 신호들 (FDA1-FDAn) 중 어느 하나가 기준 클럭 신호 (CLKref)와 동기될 때, 구동 회로 (190)는 외부 클럭 신호 (XCLK)와 동기된 내부 클럭 신호 (ICLK)로서 역방향 지연 어레이 (180)로부터 출력되는 클럭 신호 (BDAout)를 출력한다. 즉, 정방향 지연 어레이 (150)의 동기 범위에 속하는 내부 클럭 신호 (ICLK)가 생성되며, 그렇게 생성된 내부 클럭 신호 (ICLK)는 도 1의 송수신 회로 (300)에 공급된다. 송수신 회로 (300)는 내부 클럭 신호 (ICLK)에 동기되어 데이터 입출력 동작을 정상적으로 수행한다. 이에 반해서, 정방향 지연 어레이 (150)에서 출력되는 지연 클럭 신호들 (FDA1-FDAn) 중 어느 하나가 기준 클럭

신호 (CLKref)와 동기되지 않을 때, 구동 회로 (190)는 지연 회로 (160)로부터 출력된 클록 신호 (ADout)를 출력한다. 클록 신호 (ADout)는 정방향 지연 어레이 (150)의 동기 범위를 벗어나고 외부 클록 신호 (XCLK)와 동기되지 않은 클록 신호이다. 비록 외부 클록 신호가 위상 동기 범위를 벗어나더라도, 내부 클록 신호 (ICLK)가 정상적으로 생성되며, 그렇게 생성된 내부 클록 신호 (ICLK)는 도 1의 송수신 회로 (300)에 공급된다. 송수신 회로 (300)는 내부 클록 신호 (ICLK)에 동기되어 데이터 입출력 동작을 정상적으로 수행한다.

<45> 도 3은 본 발명의 바람직한 실시예에 따른 도 2에 도시된 구동 회로 (120)를 보여주는 회로도이다. 도 3을 참조하면, 본 발명의 바람직한 실시예에 따른 구동 회로 (120)는 복수 개의 MOS 트랜지스터들 (M1, M2, M3, M4, M5, M6, M7, M8, M9, M10, M11, M12)과 복수 개의 인버터들 (INV1, INV2, INV3, INV4, INV5, INV6, INV7, INV8, INV9)를 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 구동 회로 (120)는 셀프 리셋 CMOS 회로 (self reset CMOS circuit)로, 그 동작은 다음과 같다.

<46> 입력 신호 (IN)가 하이 레벨일 때, MOS 트랜지스터들 (M2, M5, M6, M9, M11)은 턴 온되어 출력 신호 (OUT)는 하이 레벨을 갖는다. 입력 신호 (IN)가 하이 레벨에서 로우 레벨로 천이할 때, MOS 트랜지스터들 (M3, M8, M12)은 턴 온되고 MOS 트랜지스터들 (M2, M9, M11)은 턴 오프된다. 내부 노드 (B)가 로우 레벨에서 하이 레벨로 천이할 때, 인버터들 (INV2-INV5)와 MOS 트랜지스터 (M7)로 구성된 신호 경로의 지연 시간이 경과한 후 MOS 트랜지스터 (M1)은 턴 온되고 MOS 트랜지스터 (M4)는 턴 오프된다. 이에 따라, 출력 신호 (OUT)는 다시 로우 레벨에서 하이 레벨로 천이한다. 내부 노드 (B)가 하이 레벨에서 로우 레벨로 천이함에 따라 구동 회로 (130)는 다음의 신호를 입력받을 수 있도록 자동으로 초기화된다. 즉, MOS 트랜지스터들 (M4, M5)은 턴 온되고 MOS 트랜지스터들 (M1, M7)은 턴 오프된다.

- <47> 비록 도면에는 도시되지 않았지만, 도 2에 도시된 재생성 회로들 (140, 200)은 도 3에 도시된 것과 실질적으로 동일하게 구성되며, 그것에 대한 설명은 그러므로 여기서 생략될 것이다.
- <48> 도 4A는 본 발명의 바람직한 실시예에 따른 도 2에 도시된 정방향 지연 어레이 (150)의 지연 유닛들 (FD1, FD2) 중 하나를 보여주는 회로도이다.
- <49> 도 4A를 참조하면, 지연 유닛들 (FD1, FD2) 각각은 NAND 게이트들 (G1, G2, G3)과 인버터들 (INV10, INV11)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 입력 신호 (IN)가 하이 레벨일 때, 출력 신호 (OUT)는 하이 레벨을 갖는다. 입력 신호 (IN)가 하이 레벨에서 로우 레벨로 천이할 때, 출력 신호 (OUT)는 하이 레벨에서 로우 레벨로 천이한다. 인버터들 (INV10, INV11)과 NAND 게이트 (G2)로 구성된 신호 경로의 지연 시간이 경과한 후, 출력 신호 (OUT)는 로우 레벨에서 하이 레벨로 천이한다. 즉, 지연 유닛들 (FD1, FD2) 각각은 펄스 발생기를 구성한다.
- <50> 도 4B는 본 발명의 바람직한 실시예에 따른 도 2에 도시된 정방향 지연 어레이 (150)의 지연 유닛들 (FD3-FDn) 중 하나를 보여주는 회로도이다.
- <51> 도 4B를 참조하면, 지연 유닛들 (FD3-FDn) 각각은 NAND 게이트들 (G4, G5, G6)과 인버터들 (INV12, INV13)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 입력 신호 (IN1)는 이전 단의 지연 유닛으로부터 출력되는 지연 클록 신호이고, 입력 신호 (IN2)는 대응하는 위상 검출기로부터 출력되는 신호이다. 입력 신호들 (IN1, IN2)이 모두 하이 레벨일 때, 출력 신호 (OUT)는 하이 레벨을 갖는다. 입력 신호 (IN2)가 하이 레벨로 유지된 상태에서 입력 신호 (IN1)가 하이 레벨에서 로우 레벨로 천이할 때, 출력 신호 (OUT)는 하이 레벨에서 로우 레벨로 천이한다. 인버터들 (INV10, INV11)과 NAND 게이트 (G2)로 구성된 신호 경로의 지연 시간이

경과한 후, 출력 신호 (OUT)는 로우 레벨에서 하이 레벨로 천이한다. 이와 반대로, 입력 신호 (IN2)가 로우 레벨로 유지되는 경우 입력 신호 (IN1)의 하이-로우 천이 (high-to-low transition)에 관계없이 출력 신호 (OUT)는 계속해서 하이 레벨로 유지된다. 다시 말해서, (N-1)번째 지연 유니트로부터 출력된 지연 클록 신호가 기준 클록 신호와 동기될 때, N번째 지연 유니트는 (N-1)번째 지연 유니트 이전의 위상 검출기의 출력 신호에 의해서 비활성화된다.

<52> 도 4C는 본 발명의 바람직한 실시예에 따른 도 2에 도시된 역방향 지연 어레이 (180)의 지연 유니트들 (BD1-BDn-1) 중 하나를 보여주는 회로도이다.

<53> 도 4C를 참조하면, 지연 유니트들 (BD1-BDn-1) 각각은 NAND 게이트들 (G7, G8, G9)과 인버터들 (INV14, INV15)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 입력 신호 (IN1)는 이전 단의 지연 유니트로부터 출력되는 신호이고, 입력 신호 (IN2)는 대응하는 위상 검출기로부터 출력되는 신호이다. 입력 신호들 (IN1, IN2)이 모두 하이 레벨일 때, 출력 신호 (OUT)는 하이 레벨을 갖는다. 입력 신호 (IN1)가 하이 레벨로 유지된 상태에서 입력 신호 (IN2)가 하이 레벨에서 로우 레벨로 천이할 때, 출력 신호 (OUT)는 하이 레벨에서 로우 레벨로 천이한다. 인버터들 (INV14, INV15)과 NAND 게이트 (G8)로 구성된 신호 경로의 지연 시간이 경과한 후, 출력 신호 (OUT)는 로우 레벨에서 하이 레벨로 천이한다. 즉, (N-1)번째 위상 검출기에서 위상 동기가 검출될 때, (N-1)번째 위상 검출기로부터 출력되는 신호를 공급받는 지연 유니트에서부터 클록 신호가 생성된다.

<54> 비록 도면에는 도시되지 않았지만, 마지막 위상 검출기 (PDn)에 대응하는 지연 어레이 (BDn)는 입력 신호 (IN1)가 전원 전압에 고정되었다는 점을 제외하면 도 4C에 도시된 것과 실질적으로 동일하다.

- <55> 도 4D는 본 발명의 바람직한 실시예에 따른 도 2에 도시된 지연 회로 (160)의 지연 유니트들 (AD1-ADm) 중 하나를 보여주는 회로도이다.
- <56> 도 4D를 참조하면, 지연 유니트 (ADi)는 NAND 게이트들 (G10, G21, G12)과 인버터들 (INV16, INV17)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 입력 신호 (IN1)는 이전 단의 지연 유니트 또는 정방향 지연 어레이 (150)로부터 출력되는 신호이고, 입력 신호 (IN2)는 마지막 위상 검출기 (PDn)로부터 출력되는 신호이다. 도 4B에 도시된 것과 마찬가지로, 입력 신호 (IN2)가 로우 레벨일 때 출력단으로의 입력 신호 (IN1)의 전송은 차단된다. 마지막 위상 검출기 (PDn)에서 위상 동기가 검출될 때, 지연 회로 (160)는 비활성화된다. 그 결과, 지연 회로 (160)의 출력 신호 (ADout)는 계속해서 하이 레벨로 유지될 것이다.
- <57> 도 4E는 본 발명의 바람직한 실시예에 따른 도 2의 미러 제어 회로 (170)의 위상 검출기들 (PD1-PDn) 중 하나를 보여주는 회로도이다.
- <58> 도 4E를 참조하면, 본 발명의 바람직한 실시예에 따른 위상 검출기들 각각은 인버터들 (INV18, INV19)과 NAND 게이트 (G13)를 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 입력 신호 (IN1)는 기준 클록 신호 (CLKref)이고, 입력 신호 (IN2)는 대응하는 지연 유니트로부터의 지연 클록 신호이다. 입력 신호들 (IN1, IN2)이 동일한 위상을 가질 때, 클록 신호 (OUT)가 생성된다.
- <59> 도 5는 본 발명의 바람직한 실시예에 따른 도 2에 도시된 구동 회로 (190)를 보여주는 회로도이다.
- <60> 도 5를 참조하면, 본 발명의 바람직한 실시예에 따른 구동 회로 (190)는 복수 개의 MOS 트랜지스터들 (M13, M14, M15, M16, M17, M18, M19, M20, M21, M22, M23, M24)과 복수 개의 인

버터들 (INV19, INV20, INV21, INV22, INV23, INV24, INV25, INV26, INV27)과 NAND 게이트 (G14)를 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 입력 신호 (BDAout)는 역방향 지연 어레이 (180)로부터 출력되는 동기된 클록 신호이고, 입력 신호 (ADout)는 지연 회로 (160)로부터 출력되는 비동기된 클록 신호이다. 도 5에 도시된 구동 회로 (190)는 셀프 리셋 CMOS 회로로, 그 동작은 다음과 같다.

<61> 입력 신호들 (BDAout, ADout)가 모두 하이 레벨일 때, MOS 트랜지스터들 (M14, M18, M19, M20, M22)은 턴 온되어 출력 신호 (OUT)는 하이 레벨을 갖는다. 입력 신호들 (BDAout, ADout) 중 어느 하나가 하이 레벨에서 로우 레벨로 천이할 때, MOS 트랜지스터들 (M15, M17, M21)은 턴 온되고 MOS 트랜지스터들 (M14, M18, M20)은 턴 오프된다. 내부 노드 (B)가 로우 레벨에서 하이 레벨로 천이할 때, 인버터들 (INV20-INV23)와 MOS 트랜지스터 (M24)로 구성된 신호 경로의 지연 시간이 경과한 후 MOS 트랜지스터 (M13)는 턴 온되고 MOS 트랜지스터 (M16)는 턴 오프된다. 이에 따라, 출력 신호 (OUT)는 다시 로우 레벨에서 하이 레벨로 천이한다. 내부 노드 (B)가 하이 레벨에서 로우 레벨로 천이함에 따라 구동 회로 (130)는 다음의 신호를 입력 받을 수 있도록 자동으로 초기화된다. 즉, MOS 트랜지스터들 (M16, M22)은 턴 온되고 MOS 트랜지스터들 (M13, M24)은 턴 오프된다.

<62> 결과적으로, 정방향 지연 어레이 (150)에서 출력되는 지연 클록 신호들 (FDA1-FDAn) 중 어느 하나가 기준 클록 신호 (CLKref)와 동기될 때, 구동 회로 (190)는 외부 클록 신호 (XCLK)와 동기된 내부 클록 신호 (ICLK)로서 역방향 지연 어레이 (180)로부터 출력되는 클록 신호 (BDAout)를 출력한다. 정방향 지연 어레이 (150)에서 출력되는 지연 클록 신호들 (FDA1-FDAn) 중 어느 하나가 기준 클록 신호 (CLKref)와 동기되지 않을 때, 구동 회로 (190)는 지연 회로 (160)로부터 출력된 클록 신호 (ADout)를 출력한다.

- <63> 도 6은 본 발명에 따른 동기 미리 지연 회로 (100)의 동작을 설명하기 위한 타이밍도이다. 본 발명에 따른 동기 미리 지연 회로의 동작이 참조 도면들에 의거하여 이하 상세히 설명될 것이다.
- <64> 외부 클럭 신호 (XCLK)가 외부로부터 입력될 때, 클럭 버퍼 회로 (110)는 외부 클럭 신호 (XCLK)에 응답하여 기준 클럭 신호 (CLKref)를 발생한다. 기준 클럭 신호 (CLKref)는 클럭 버퍼 회로 (110)에 의해서 "Td1"의 지연 시간만큼 지연된다. 그 다음에, 지연 모니터 회로 (120, 130, 140)는 기준 클럭 신호 (CLKref)를 "Td1+Td2+Td3"의 지연 시간만큼 지연시킨다. 지연 모니터 회로 (120, 130, 140)로부터 출력되는 클럭 신호 (FDAin)는 정방향 지연 어레이 (150)에 입력된다. 정방향 지연 어레이 (150)는 지연 유니트들 (FD1-FDn)을 통해 클럭 신호 (FDAin)를 순차적으로 지연시킨다. 미리 제어 회로 (170)는 기준 클럭 신호 (CLKref)를 복수의 지연 클럭 신호들 (FDA1-FDAn)과 각각 비교하고, 입력 클럭 신호들의 위상들이 동일한 지점에서 펄스 신호들을 발생한다.
- <65> 예를 들면, 미리 제어 회로 (170)로부터의 신호들 중 어느 하나는 로우 펄스 신호이고, 나머지 신호들은 하이 레벨로 유지된다. 즉, 미리 제어 회로 (170)는 클럭 버퍼 회로 (110)로부터의 기준 클럭 신호 (CLKref)에 대해 한 사이클 지연된 즉, 한 사이클의 위상차를 갖는 지연 클럭 신호 (FDAi)를 검출한다. 그렇게 검출된 지연 클럭 신호 (FDAi)는 역방향 지연 어레이 (180), 구동 회로 (190), 그리고 재생성 회로 (200)를 통해 내부 클럭 신호 (ICLK)로서 출력된다.
- <66> 외부 클럭 신호 (CLKext)와 내부 클럭 신호 (CLKint)가 위상 동기되는 데 걸리는 총 시간은 아래의 수식으로 표현될 수 있다.

<67> 【수학식 1】
$$T_{tot} = Td1 + (Td1 + Td2 + Td3) + 2\{Tclk - (Td1 + Td2 + Td3)\} + (Td2 + Td3) = 2Tclk$$

<68> "Td1"은 클럭 버퍼 회로 (110)의 지연 시간이고, "Td1+Td2+Td3"는 지연 모니터 회로 (120, 130, 140)의 지연 시간이며, "Tclk-(Td1+Td2+Td3)"는 미러 제어 회로 (170)에 제공되는 기준 클럭 신호 (CLKref)와 정방향 지연 어레이 (150)를 통과하는 클럭 신호가 위상 동기되는 지점에서의 정방향/역방향 지연 어레이 (150, 180)의 지연 시간이다. "Td2"는 구동 회로들 (120, 190) 각각의 지연 시간이고, "Td3"는 재생성 회로들 (130, 200) 각각의 지연 시간이다. 수학식으로부터 알 수 있듯이, 내부 클럭 신호 (ICLK)는 2 사이클 후에 외부 클럭 신호 (XCLK)와 동기된다. 즉, 내부 클럭 신호 (ICLK)는, 도 6에 도시된 바와 같이, n번째 외부 클럭 신호 (XCLK)를 기준으로 (n+2)번째 외부 클럭 신호 (XCLK)에 동기된다. 결과적으로, 외부 클럭 신호 (XCLK)가 입력되고 2 사이클 후에, 외부 클럭 신호 (XCLK)와 동기된 내부 클럭 신호 (ICLK)가 생성된다.

<69> 만약 정방향 지연 어레이 (150)에서 생성된 지연 클럭 신호들 중 어느 것도 기준 클럭 신호 (CLKref)와 동기되지 않으면, 즉, 외부 클럭 신호 (XCLK)의 동작 주파수가 동기 범위를 벗어난 경우, 입력 클럭 신호 (FDAin)는 정방향 지연 어레이 (150)를 통해 지연 회로 (160)로 전달되며, 지연 회로 (160)는 정방향 지연 어레이 (150)로부터의 클럭 신호를 지연시킨다. 그렇게 지연된 클럭 신호 (ADout)는 도 2의 구동 회로 (190)와 재생성 회로 (200)를 통해 내부 클럭 신호 (ICLK)로서 출력될 것이다. 이때, 외부 클럭 신호 (XCLK)가 로우 레벨에서 하이 레벨로 천이하고 소정의 지연 시간 (tD)이 경과한 후, 도 7에 도시된 바와 같이, 내부 클럭 신호 (ICLK)는 하이 레벨에서 로우 레벨로 천이한다.

- <70> 여기서, "tD"의 지연 시간은 ($2td1+2td2+2td3+td4+td5$)이 된다. "td4"는 정방향 지연 어레이 (150)의 지연 유닛들 (FD1-FDn)의 총 지연 시간을 나타내고, "td5"는 지연 회로 (160)의 지연 유닛들 (AD1-ADm)의 총 지연 시간을 나타낸다.
- <71> 외부 클록 신호 (XCLK)가 동기 범위를 벗어난 낮은 주파수에서 동기 미리 지연 회로가 동작하더라도, 본 발명에 따른 동기 미리 지연 회로를 채용한 반도체 집적 회로 장치는 지연 회로 (160)에서 출력되는 클록 신호 (ADout)에 따라 정상적으로 동작할 수 있다. 내부 클록 신호 (ICLK)가 외부 클록 신호 (XCLK)와 위상 동기되지 않더라도, 외부 클록 신호 (XCLK)가 낮은 주파수를 갖기 때문에 송수신 회로 (300)의 데이터 입출력 동작은 충분한 셋업/홀드 마진을 갖고 수행될 수 있다.
- <72> 외부 클록 신호 (XCLK)와 동기된 내부 클록 신호 (ICLK)가 생성되는 경우, 지연 회로 (160)로부터 클록 신호 (ADout)가 출력되는 것은 차단된다. 예를 들면, 정방향 지연 어레이 (150)의 마지막 지연 유닛 (FDn)로부터 출력되는 지연 클록 신호 (FDAn)가 기준 클록 신호 (CLKref)와 동기될 때, 도 8에 도시된 바와 같이, 지연 회로 (160)는 지연 유닛 (FDn)에 대응하는 위상 검출기 (PDn)의 출력 신호에 의해서 비활성화된다. 따라서, 클록 신호 (ADout)는 지연 회로 (160)로부터 출력되지 않는다.
- <73> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<74> 상술한 바와 같이, 동기 범위에 속하는 동작 주파수 뿐만 아니라 동기 범위를 벗어난 동작 주파수에서도 내부 클럭 신호를 생성할 수 있다. 따라서, 본 발명에 따른 동기 미러 지연 회로를 채용하는 반도체 집적 회로 장치는 낮은 동작 주파수를 갖는 테스트 장비에 의해서도 안정적으로 테스트될 수 있다.

【특허청구범위】

【청구항 1】

외부 클록 신호에 동기된 내부 클록 신호를 발생하는 클록 발생 회로에 있어서:

상기 외부 클록 신호에 응답하여 기준 클록 신호를 발생하는 클록 버퍼 회로와;

상기 기준 클록 신호를 지연시키는 지연 모니터 회로와;

상기 지연 모니터 회로의 출력 클록 신호를 정방향으로 순차적으로 지연시켜 지연 클록 신호들을 발생하는 정방향 지연 어레이와;

상기 지연 클록 신호들과 상기 기준 클록 신호를 입력받고, 상기 기준 클록 신호와 동기되는 상기 지연 클록 신호들 중 하나를 검출하는 미리 제어 회로와;

상기 미리 제어 회로에 의해서 검출된 지연 클록 신호를 역방향으로 지연시켜 동기 클록 신호를 출력하는 역방향 지연 어레이와;

상기 정방향 지연 어레이를 경유하여 출력되는 비동기 클록 신호를 지연시키는 지연 회로와; 그리고

상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기되지 않을 때, 상기 지연된 비동기 클록 신호를 상기 내부 클록 신호로서 출력하는 클록 구동 회로를 포함하는 것을 특징으로 하는 클록 발생 회로.

【청구항 2】

제 1 항에 있어서,

상기 정방향 지연 어레이는 직렬 연결된 지연 유니트들을 포함하며, 상기 지연 유니트들은 동일한 지연 시간을 갖는 것을 특징으로 하는 클록 발생 회로.

【청구항 3】

제 2 항에 있어서,

상기 미리 제어 회로는 상기 지연 유니트들에 각각 대응하는 위상 검출기들을 포함하며, 상기 위상 검출기들 각각은 대응하는 지연 유니트로부터 출력되는 지연 클록 신호와 상기 기준 클록 신호를 공급받는 것을 특징으로 하는 클록 발생 회로.

【청구항 4】

제 3 항에 있어서,

마지막 위상 검출기가 상기 기준 클록 신호와 동기된 지연 클록 신호를 검출할 때, 상기 지연 회로는 상기 마지막 위상 검출기의 출력 신호에 의해서 비활성화되는 것을 특징으로 하는 클록 발생 회로.

【청구항 5】

제 1 항에 있어서,

상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기될 때, 상기 역방향 지연 어레이로부터 출력되는 동기 클록 신호를 상기 내부 클록 신호로서 출력하는 것을 특징으로 하는 클록 발생 회로.

【청구항 6】

외부 클록 신호에 동기되어 동작하는 반도체 집적 회로 장치에 있어서:

상기 외부 클록 신호에 동기된 내부 클록 신호를 발생하는 동기 미리 지연 회로와; 그리고

상기 내부 클록 신호에 동기되어 데이터를 입출력하는 데이터 입출력 회로를 포함하며,

상기 동기 미리 지연 회로는

상기 외부 클록 신호에 응답하여 기준 클록 신호를 발생하는 클록 버퍼 회로와;

상기 기준 클록 신호를 지연시키는 지연 모니터 회로와;

상기 지연 모니터 회로의 출력 클록 신호를 정방향으로 순차적으로 지연시켜 지연 클록 신호들을 발생하는 정방향 지연 어레이와;

상기 지연 클록 신호들과 상기 기준 클록 신호를 입력받고, 상기 기준 클록 신호와 동기되는 상기 지연 클록 신호들 중 하나를 검출하는 미리 제어 회로와;

상기 미리 제어 회로에 의해서 검출된 지연 클록 신호를 역방향으로 지연시켜 동기 클록 신호를 출력하는 역방향 지연 어레이와;

상기 정방향 지연 어레이를 경유하여 출력되는 비동기 클록 신호를 지연시키는 지연 회로와; 그리고

상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기되지 않을 때, 상기 지연된 비동기 클록 신호를 상기 내부 클록 신호로서 출력하는 클록 구동 회로를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치.

【청구항 7】

제 6 항에 있어서,

상기 정방향 지연 어레이는 직렬 연결된 지연 유니트들을 포함하며, 상기 지연 유니트들은 동일한 지연 시간을 갖는 것을 특징으로 하는 반도체 집적 회로 장치.

【청구항 8】

제 7 항에 있어서,

상기 미리 제어 회로는 상기 지연 유니트들에 각각 대응하는 위상 검출기들을 포함하며, 상기 위상 검출기들 각각은 대응하는 지연 유니트로부터 출력되는 지연 클록 신호와 상기 기준 클록 신호를 공급받는 것을 특징으로 하는 반도체 집적 회로 장치.

【청구항 9】

제 8 항에 있어서,

마지막 위상 검출기가 상기 기준 클록 신호와 동기된 지연 클록 신호를 검출할 때, 상기 지연 회로는 상기 마지막 위상 검출기의 출력 신호에 의해서 비활성화되는 것을 특징으로 하는 반도체 집적 회로 장치.

【청구항 10】

제 6 항에 있어서,

상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기될 때, 상기 역방향 지연 어레이로부터 출력되는 동기 클록 신호를 상기 내부 클록 신호로서 출력하는 것을 특징으로 하는 반도체 집적 회로 장치.

【청구항 11】

외부 클록 신호에 동기된 내부 클록 신호를 발생하는 방법에 있어서:

상기 외부 클록 신호에 응답하여 기준 클록 신호를 발생하는 단계와;

상기 기준 클록 신호를 지연시키는 단계와;

상기 지연된 기준 클록 신호를 정방향으로 순차적으로 지연시켜 지연 클록 신호들 및 비동기 클록 신호를 발생하는 단계와;

상기 기준 클록 신호와 동기되는 상기 지연 클록 신호들 중 하나를 검출하는 단계와;

상기 검출된 지연 클록 신호를 역방향으로 지연시켜 동기 클록 신호를 출력하는 단계와 ; 그리고

상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기되지 않을 때, 상기 비동기 클록 신호를 상기 내부 클록 신호로서 출력하는 단계를 포함하는 것을 특징으로 하는 방법.

【청구항 12】

제 11 항에 있어서,

상기 기준 클록 신호가 상기 지연 클록 신호들 중 하나와 동기될 때, 상기 동기 클록 신호를 상기 내부 클록 신호로서 출력하는 단계를 더 포함하는 것을 특징으로 하는 방법.

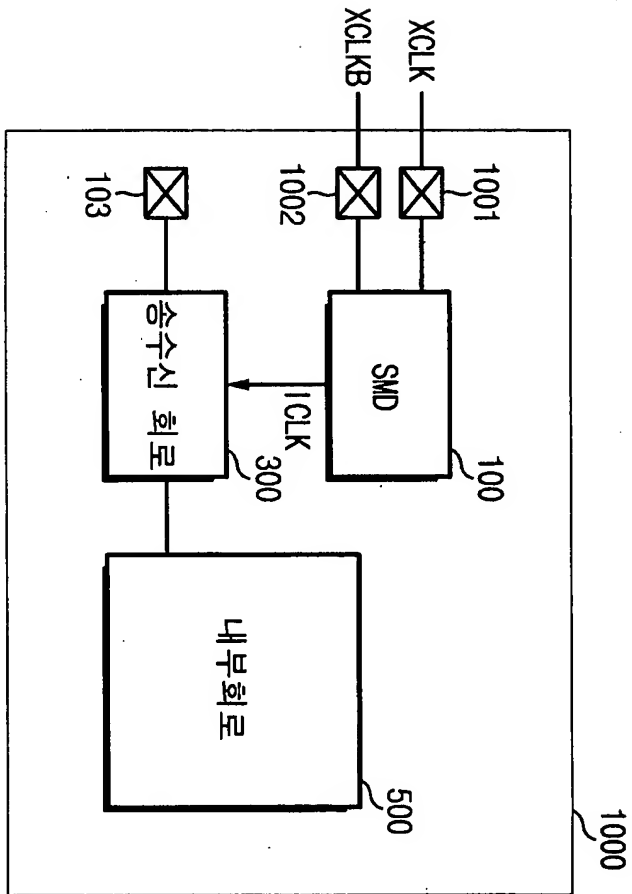
【청구항 13】

제 11 항에 있어서,

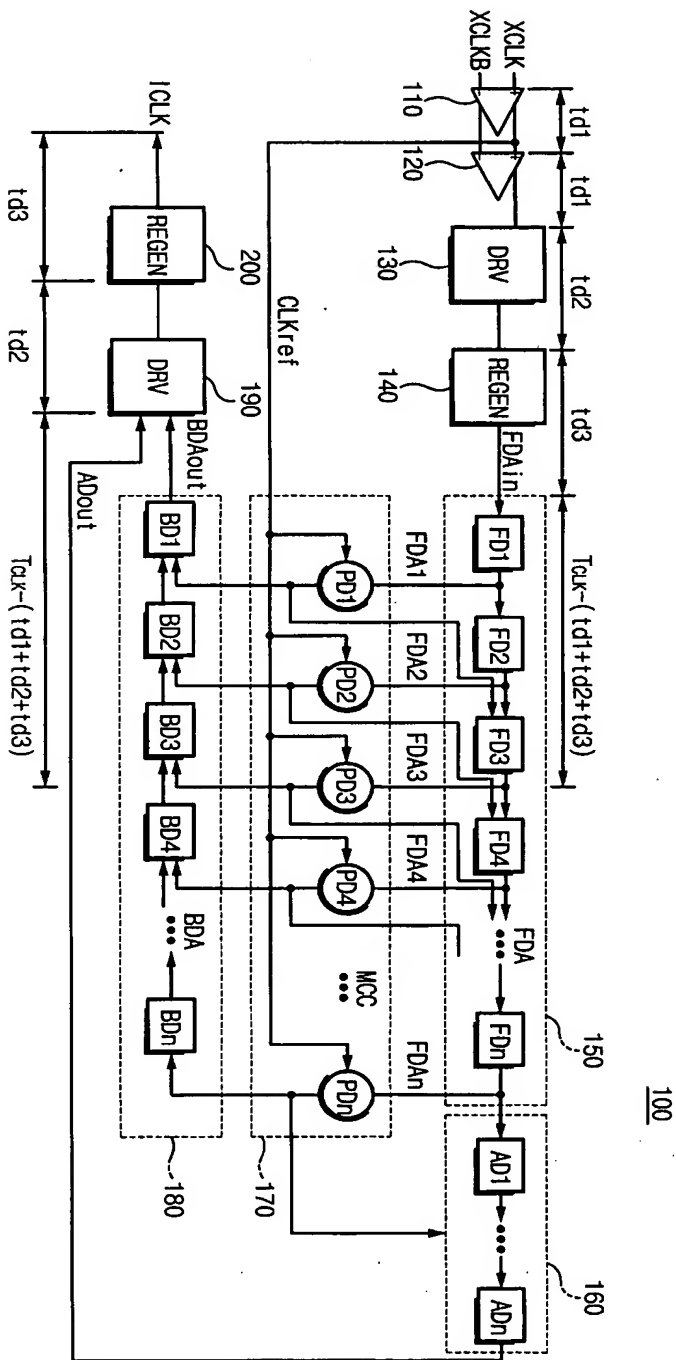
상기 지연 클록 신호들 중 마지막으로 지연된 지연 클록 신호가 상기 기준 클록 신호와 동기될 때, 상기 비동기 클록 신호는 생성되지 않는 것을 특징으로 하는 방법.

【도면】

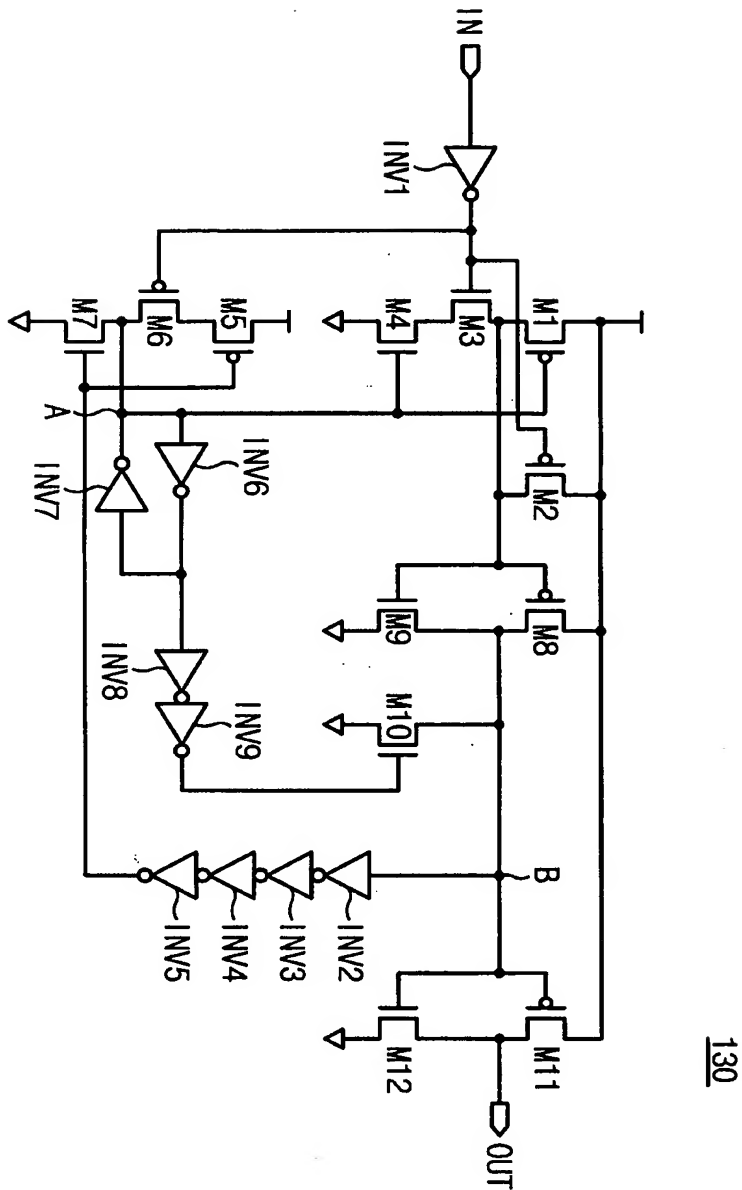
【도 1】



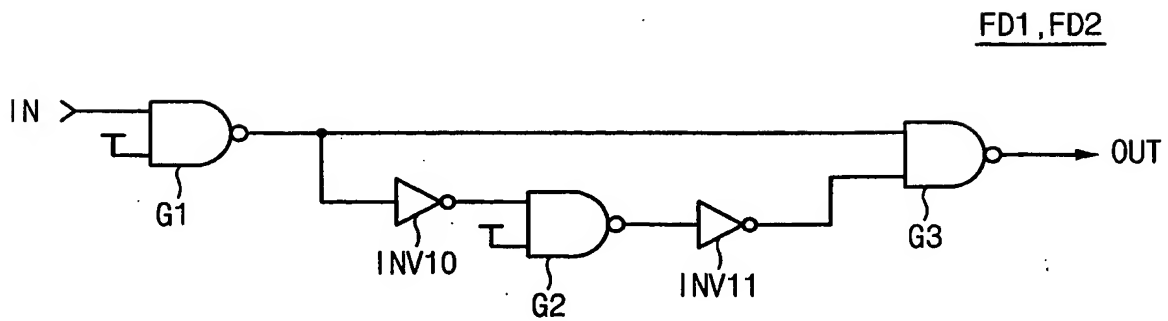
【도 2】



【도 3】

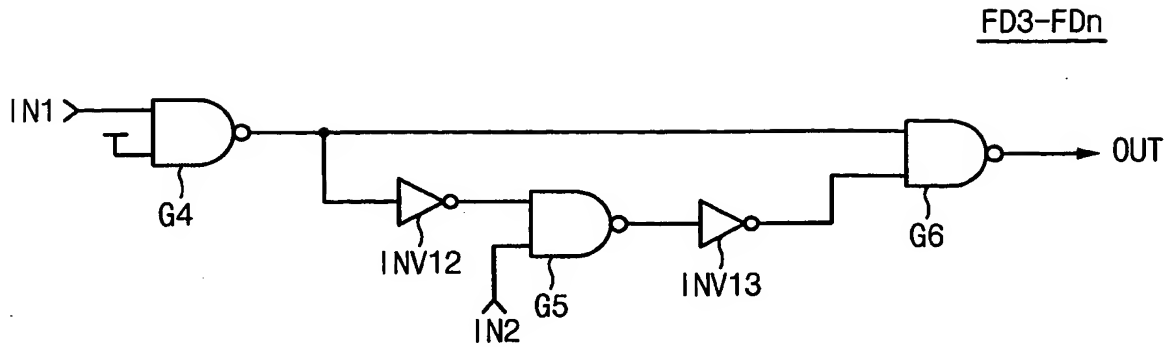


【도 4a】

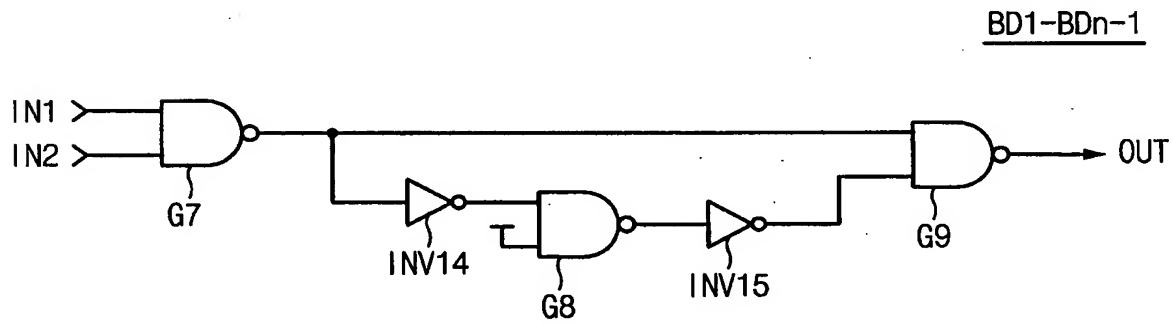




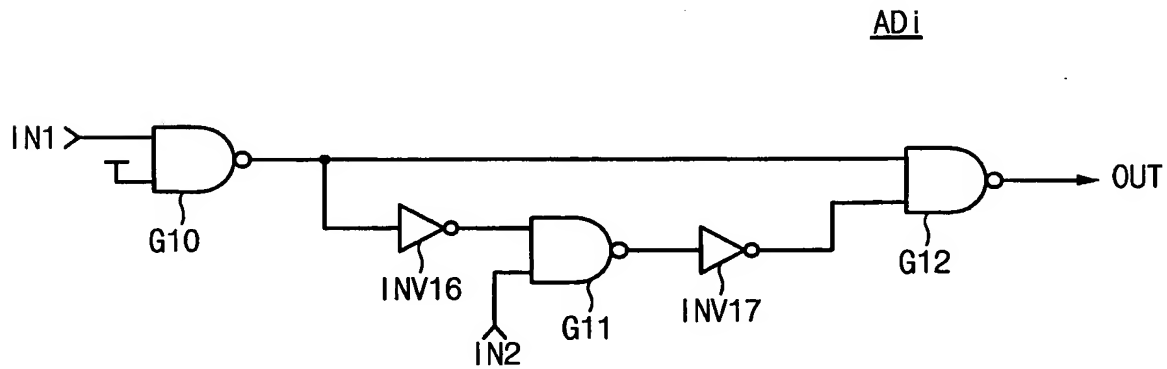
【도 4b】



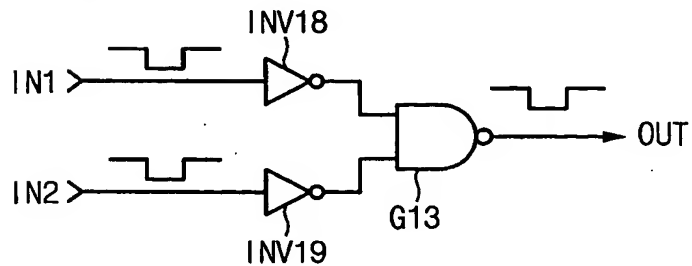
【도 4c】



【도 4d】

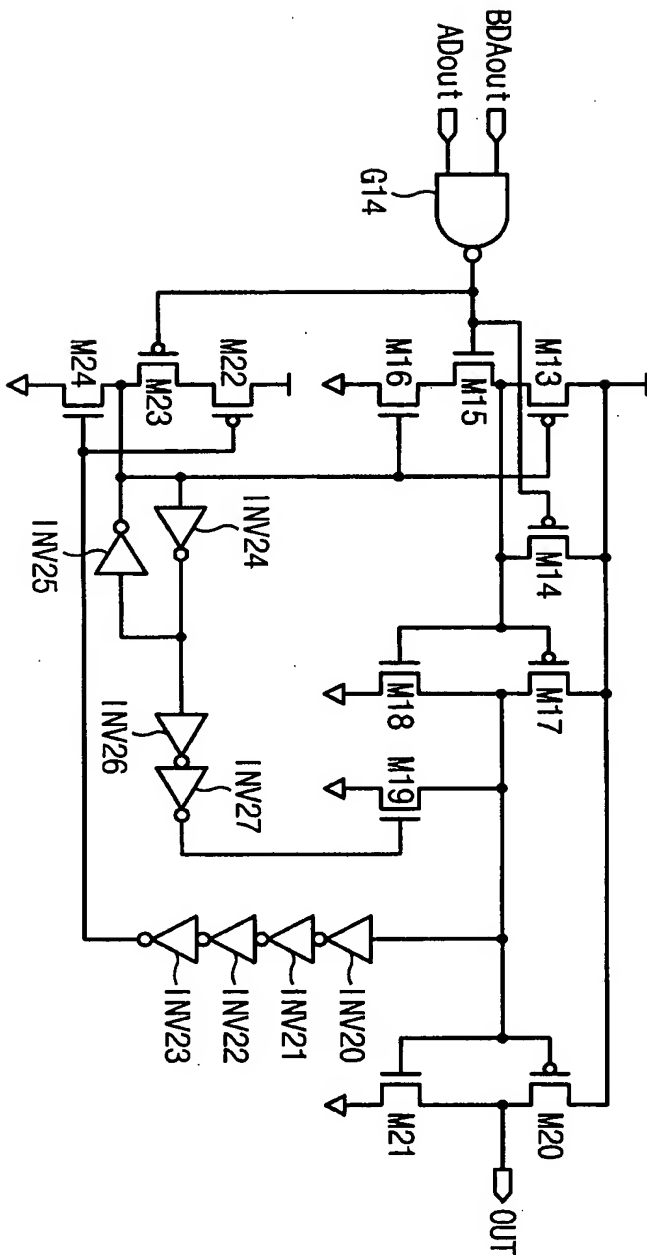


【도 4e】

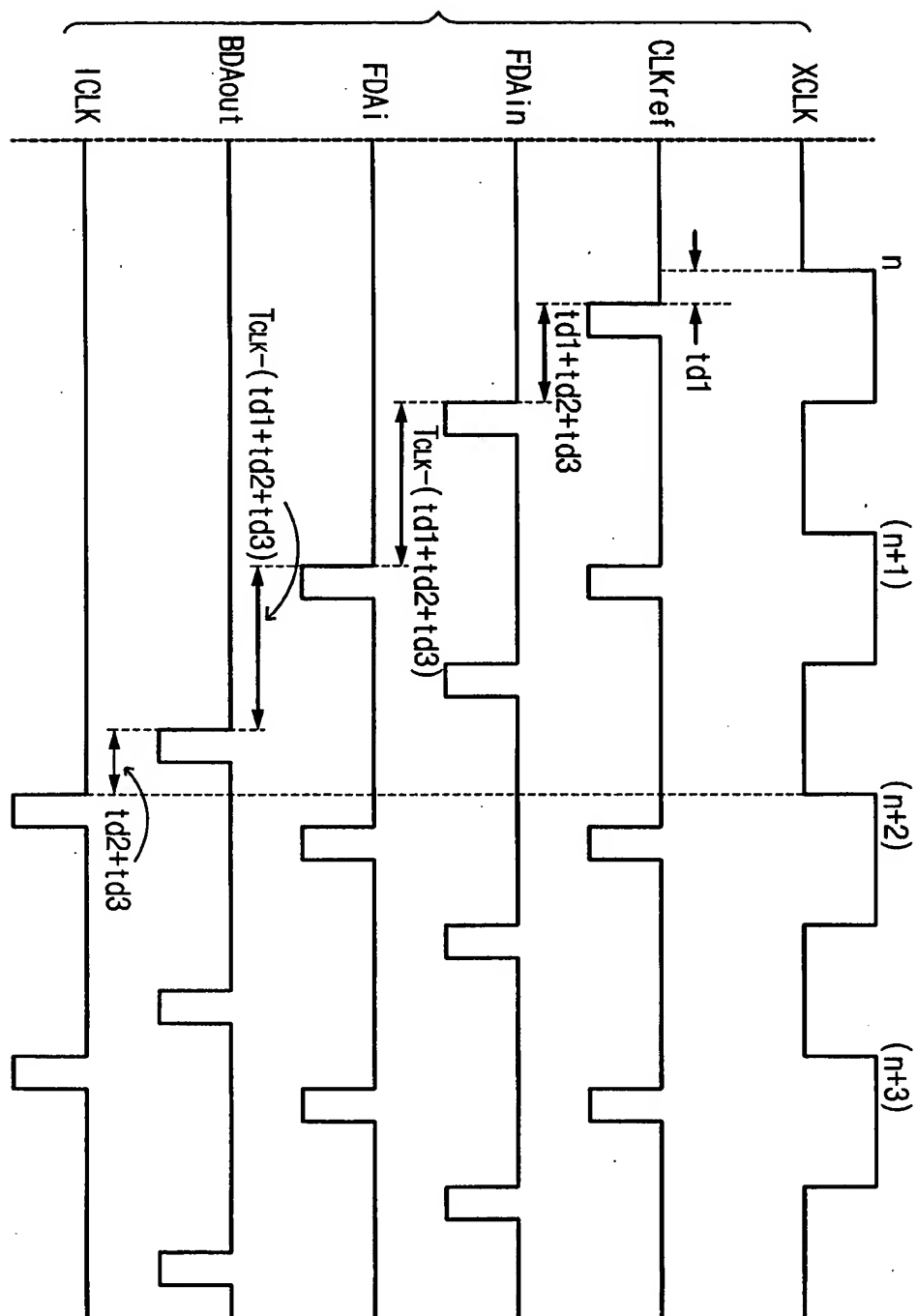




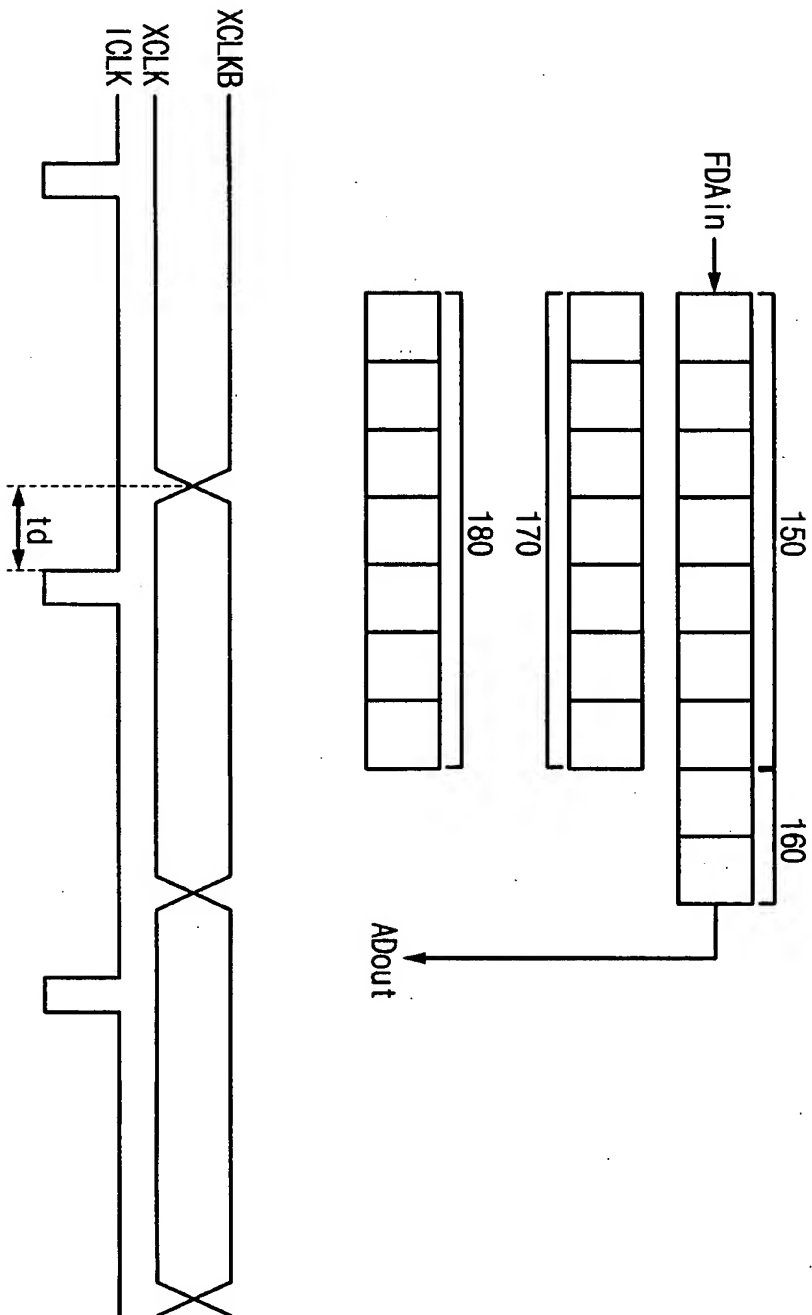
【도 5】



【도 6】



【도 7】



【도 8】

